

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(Citation 6:)

JP U.M. Application Disclosure No. 2-110339 - Sept. 4, 1990

U.M. Application No. 1-19836 - February 22, 1989

Applicant: K.K. Ricoh, Tokyo, Japan

Title: Semiconductor device with multilayer interconnection
structure

Detailed Description of the Utility Model:

.....

In the present embodiment, as shown in Fig. 1, short circuit monitoring means 4 formed on four integrated circuit chips 2 are connected in parallel by AI lines 23 and 24.

.....

6/8

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

平2-110339

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月4日

H 01 L 21/66
21/3205
21/66

Y 7376-5F

S 7376-5F
6810-5F

H 01 L 21/88

S

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 多層配線構造を有する半導体装置

⑯ 実 願 平1-19836

⑰ 出 願 平1(1989)2月22日

⑱ 考 案 者 富 浦 昭 次 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 実用新案登録請求の範囲

ダミーの上下配線層からなるショート・モニタ手段を設けて成る多層配線構造を有する半導体装置。

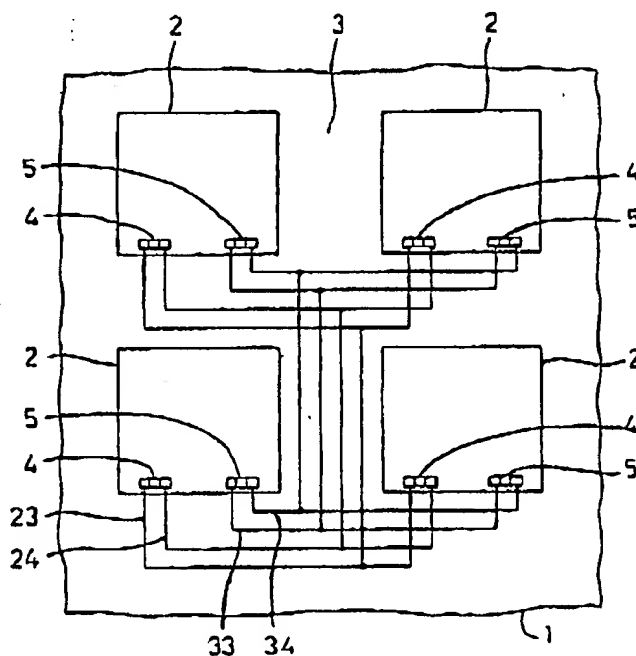
図面の簡単な説明

第1図は本考案の一実施例の要部を示す概略的平面図、第2図は一方のショート・モニタ手段の要部を示す平面図、第3図は第2図のⅢ-Ⅲ'線

に沿った断面図、第4図は他方のショート・モニタ手段の要部を示す平面図、第5図は第4図のV-V'線に沿った断面図である。

1……シリコン基板(ウエハ)、2……集積回路チップ、4, 5……ショート・モニタ手段、8……下層の配線部、10……上層の配線部、27……下層の配線部、28……上層の配線部。

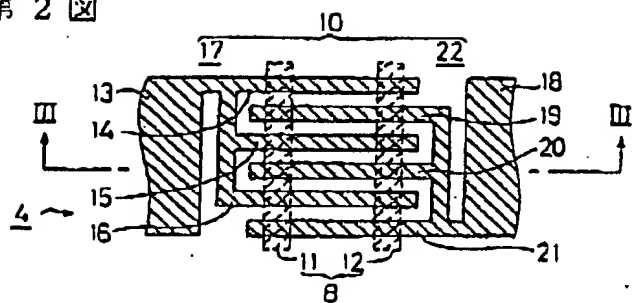
第1図



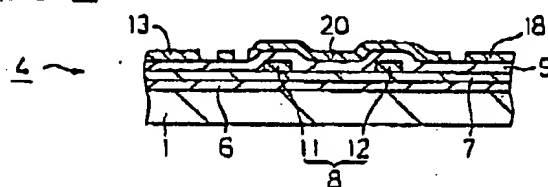
BEST AVAILABLE COPY

実開 平 2 - 1 1 0 3 3 9 (2)

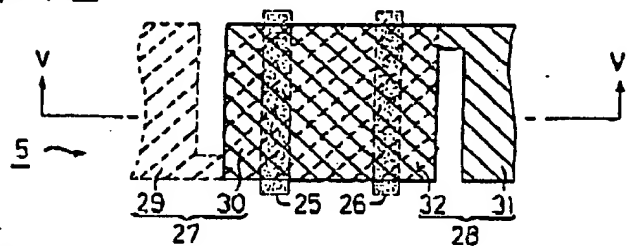
第 2 図



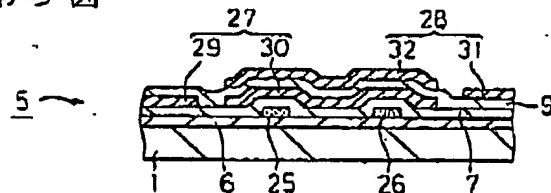
第 3 図



第 4 図



第 5 図



公開実用平成 2-110339

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-110339

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月4日

H 01 L 21/66
21/3205
21/68

Y 7376-5F

S 7376-5F
6810-5F

H 01 L 21/88

S

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 多層配線構造を有する半導体装置

⑯ 実 願 平1-19836

⑰ 出 願 平1(1989)2月22日

⑱ 考 案 者 室 浦 昭 次 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号



明 細 書

1. 考案の名称

多層配線構造を有する半導体装置

2. 実用新案登録請求の範囲

ダミーの上下配線層からなるショート・モニタ手段を設けて成る多層配線構造を有する半導体装置。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は半導体装置中、多層配線構造を有するものに関する。

〔従来の技術〕

多層配線構造を有する半導体装置における問題点の1つにいわゆるA1-A1層間ショートがある。かかるA1-A1層間ショートはA1の突起、層間絶縁膜のクラック、ピンホール、パーティクル、ステップカバレッジ不良等に原因することが知られている。従来、かかるA1-A1層間ショートのチェックは走査形顕微鏡（SEM）観察によって行われていた。

公開実用平成 2—110339



〔考案が解決しようとする課題〕

しかしながら、かかるSEMによるチェックは容易でなく、時間も多分に要し、効率的ではないという問題点があった。

本考案は、かかる点にかんがみ、上下配線層間ショートを効率的にチェックすることができるようにした多層配線構造を有する半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

本考案による多層配線構造を有する半導体装置は、ダミーの上下配線層からなるショート・モニタ手段を設けたものである。

〔作用〕

ダミーの上下配線層間におけるショートの有無をチェックすることで本来の回路部における上下配線層間ショートの有無をチェックすることができる。

なお、ダミーの上下配線層間のショートの有無は電氣的にその導通、非導通をチェックすることで簡単にこれを行うことができる。



〔実施例〕

以下、第1図ないし第5図を参照して、本考案の一実施例につき説明する。

第1図は本考案の一実施例の要部を示す概略的平面図であって、本実施例はステッパーにおける1ショット内のチップ数を4個として製造されるものである。図中、1はシリコン基板（ウエハ）、2は集積回路チップ、3はスクライブラインを示しており、本実施例においては、集積回路チップ2に2種類のショート・モニタ手段4及び5が設けられている。

これらショート・モニタ手段4及び5のうちショート・モニタ手段4はステップカバレッジ不良によるAl-Al層間ショートをモニタするためのものであって、第2図及び第3図に示すように、シリコン基板1上にフィールド酸化膜6、CVD酸化膜7、Al配線部8、層間絶縁膜をなすCVD酸化膜9及びAl配線部10を順次、積層して構成されている。

ここに、下層のAl配線部8は、平行な2本の

公開実用平成 2—110339



ダミー配線 11 及び 12 から構成されている。

また、上層の A1 配線部 10 はパッド 13 及びダミー配線 14、15、16 からなる第 1 配線部 17 と、パッド 18 及びダミー配線 19、20、21 からなる第 2 配線部 22 とを設けて構成されている。なお、ダミー配線 14、15、16 と、ダミー配線 19、20、21 とは 1 本ずつ交互に配されており、また、これらは下層の A1 配線部 8 のダミー配線 11 及び 12 と直交するように形成されている。

このように構成されたショート・モニタ手段 4 において、ダミー配線 11 又は 12 上にステップカバレッジ不良がある場合には、上層の A1 配線部 10 の第 1 配線部 17 のダミー配線 14、15 又は 16 と、第 2 配線部 22 のダミー配線 19、20 又は 21 とは下層の A1 配線部 8 のダミー配線 11 又は 12 を介して導通することになる。

したがって、本実施例においては、パッド 13 及び 18 間の導通、非導通をチェックすることにより、本来の回路部におけるステップカバレッジ



不良によるA1-A1層間ショートの有無をチェックすることができる。

なお、本実施例においては、第1図に示すように、4個の集積回路チップ2に形成されたショート・モニタ手段4はA1配線23及び24により並列に接続されている。

他方、ショート・モニタ手段5はA1-A1層間ショートのうち、A1層の突起や層間絶縁膜のクラック等によるA1-A1層間ショートをモニタするためのものであって、第4図及び第5図に示すように、シリコン基板1上にフィールド酸化膜6、ポリシリコン層25及び26、CVD酸化膜7、A1配線部27、CVD酸化膜9及びA1配線部28を順次、積層して構成されている。

ここに、下層のA1配線部27はパッド29及びダミー配線30から構成されている。また、上層のA1配線部28もパッド31及びダミー配線32から構成されている。なお、ダミー配線30とダミー配線32とは対向するように形成されている。

公開実用平成 2—110339



このように構成されたショート・モニタ手段５において、ダミー配線３０にＡ１突起がある場合やＣＶＤ酸化膜９にクラックがある場合等は、下層のＡ１配線部２７のダミー配線３０と、上層のＡ１配線部２８のダミー配線３２とは導通することになる。

したがって、パッド２９及び３１間の導通、非導通をチェックすることにより、本来の回路部におけるＡ１突起、ＣＶＤ酸化膜９のクラック等によるＡ１-Ａ１層間ショートの有無をチェックすることができる。

なお、本実施例においては、第１図に示すように、４個の集積回路チップ２に形成されたショート・モニタ手段５はＡ１配線３３及び３４により並列に接続されている。

以上のように、本実施例においては、ショート・モニタ手段４及び５を設け、これらショート・モニタ手段４及び５の導通、非導通をチェックすることにより、本来の回路部におけるＡ１-Ａ１層間ショートの有無をチェックすることができるよう



に構成されているので、かかるA1-A1層間ショート有無のチェックを容易、且つ、短時間のうちに行うことができる、という効果がある。

また、本実施例においては、4個の集積回路チップ2におけるA1-A1層間ショートの有無を同時に、しかも、2端子だけでチェックすることができる、という効果もある。

〔考案の効果〕

本考案によれば、ダミーの上下配線層からなるショート・モニタ手段を設けるという構成を採用したことにより、ダミーの上下配線層間におけるショートの有無をチェックすることで、本来の回路部における上下配線層間ショートの有無をチェックすることができるので、本来の回路部における上下配線層間ショート有無のチェックを容易、且つ、短時間のうちに行うことができる、という効果がある。

4. 図面の簡単な説明

第1図は本考案の一実施例の要部を示す概略的平面図、第2図は一方のショート・モニタ手段の

公開実用平成 2-110339



要部を示す平面図、第3図は第2図のⅢ-Ⅲ'線に沿った断面図、第4図は他方のショート・モニタ手段の要部を示す平面図、第5図は第4図のV-V'線に沿った断面図である。

1…シリコン基板（ウエハ）

2…集積回路チップ

4、5…ショート・モニタ手段

8…下層の配線部

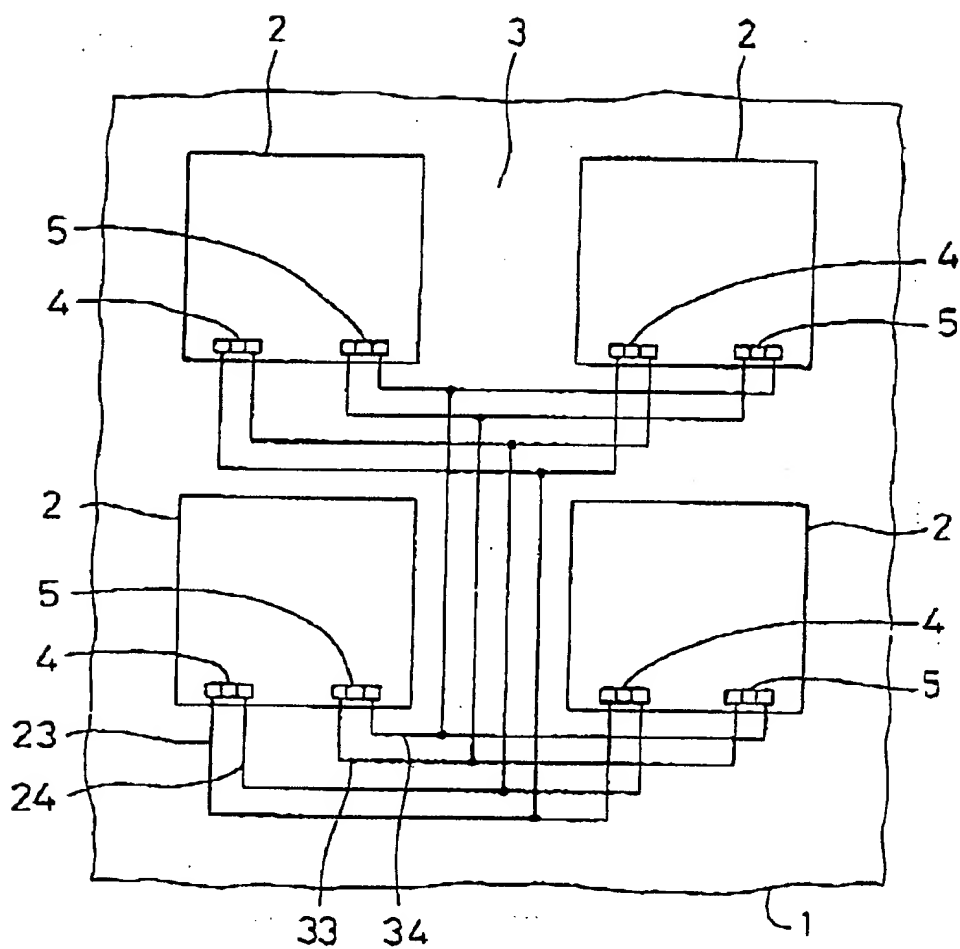
10…上層の配線部

27…下層の配線部

28…上層の配線部

出願人 株式会社 リ コ ー

第 1 図



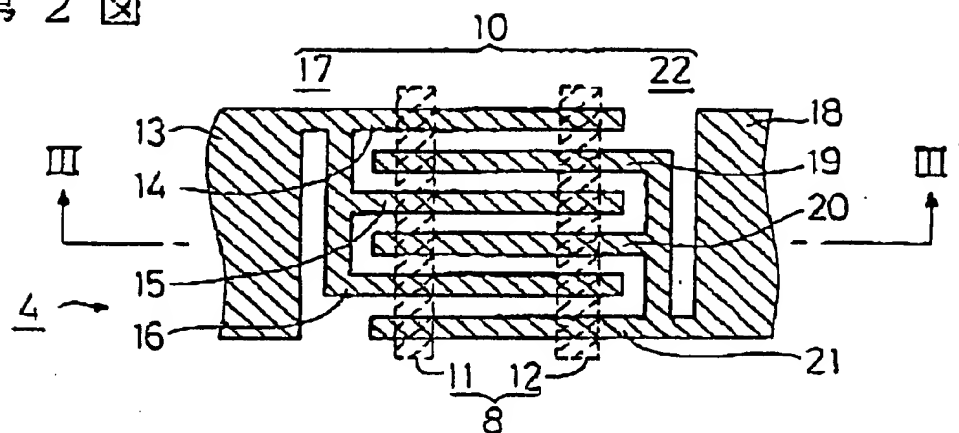
458

出願人 株式会社 リコー

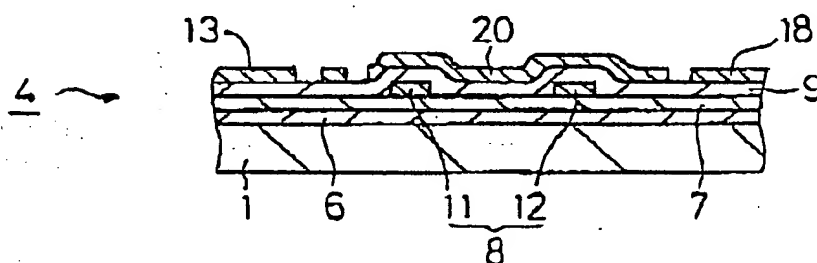
実開 2-110339

公開実用平成 2-110339

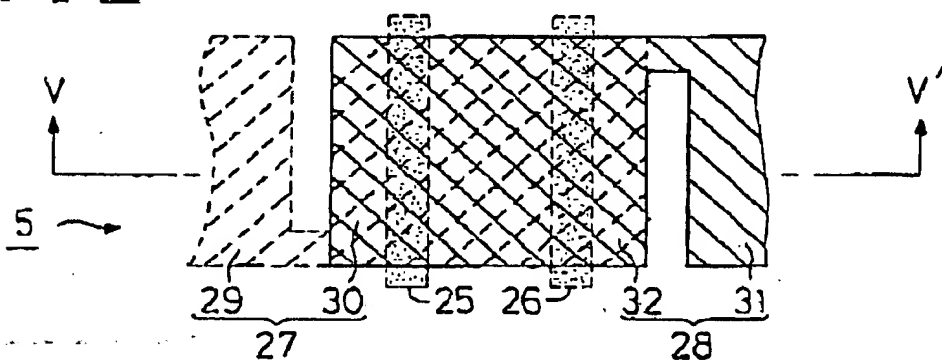
第 2 図



第 3 図



第 4 図



第 5 図

